

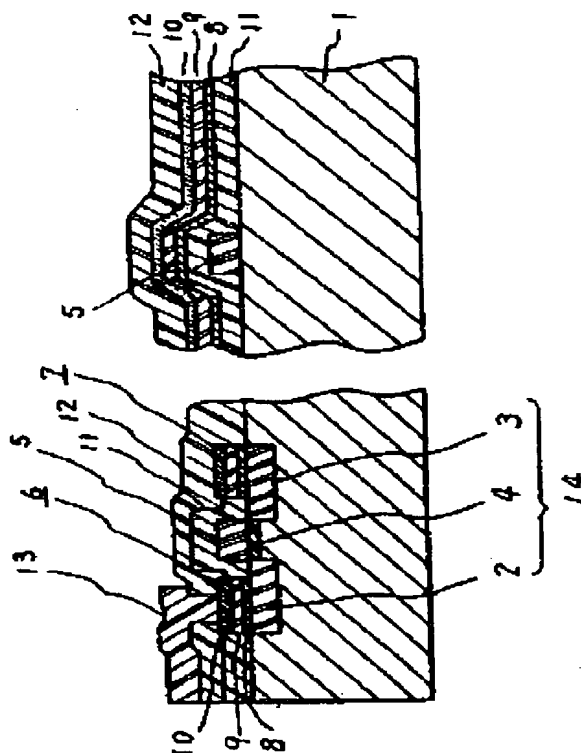
SEMICONDUCTOR DEVICE

3. W1203-02

Patent number: JP60015970
Publication date: 1985-01-26
Inventor: MORI MITSUHIRO; KOBAYASHI MASAYOSHI;
KUROKAWA ATSUSHI
Applicant: HITACHI LTD
Classification:
- international: H01L29/46
- european: H01L29/45B
Application number: JP19830123247 19830708
Priority number(s): JP19830123247 19830708

Abstract of JP60015970

PURPOSE: To obtain an ohmic electrode, which has low contact resistance, the smoothness of the surface thereof is excellent and which has superior adhesive properties to an insulating film, by forming laminated structure by using Si or a Si-Ge alloy as a first layer on a semiconductor base body, a metal having the high melting point or metallic ceramics as a second layer and a metal having high electric conductivity as a third layer. **CONSTITUTION:** A source 2, a drain 3 and a channel section 4 are formed to a GaAs substrate 1 through the implantation method of Si ions. When the source 2 and the drain 3 are formed through the ion implantation method, a self-alignment type is obtained when a gate electrode 5 such as W is used previously as a mask. Si is applied to first layers 8 in 300Angstrom thickness, WSi₂ to second layers 9 in 1,000Angstrom one and Au to third layers 10 in 1,000Angstrom one through a sputtering evaporation method as source and drain electrodes 6, 7, and excellent ohmic characteristics having approximately 10^{-6} $\Omega \cdot \text{cm}^2$ resistivity are obtained through heat treatment for thirty min in a hydrogen atmosphere at 800 deg.C.



Data supplied from the esp@cenet database - Worldwide

① 日本国特許庁 (JP)
② 公開特許公報 (A)

③ 特許出願公開
昭60—15970

④ Int. Cl.⁴
H 01 L 29/46

識別記号

庁内整理番号
7638—5F

⑤ 公開 昭和60年(1985)1月26日

発明の数 1
審査請求 未請求

(全 4 頁)

⑥ 半導体装置

⑦ 特 願 昭58—123247
⑧ 出 願 昭58(1983)7月8日
⑨ 発 明 者 森光廣
国分寺市東恋ヶ窪1丁目280番
地株式会社日立製作所中央研究
所内
⑩ 発 明 者 小林正義
国分寺市東恋ヶ窪1丁目280番

地株式会社日立製作所中央研究
所内

⑪ 発 明 者 黒川敦
小平市上水本町1450番地株式会
社日立製作所コンピュータ事業
本部デバイス開発センター内
⑫ 出 願 人 株式会社日立製作所
東京都千代田区神田駿河台4丁
目6番地
⑬ 代 理 人 弁理士 高橋明夫 外1名

明 細 書

発明の名称 半導体装置

特許請求の範囲

1. 化合物半導体基体上に当該化合物半導体中に添加されてドナー準位を形成する第1の材料層と高融点金属或いは高融点金属セラミックスの少なくとも一者からなる第2の材料層とを少なくとも積層されて成る電極を少なくとも有する半導体装置。
2. 前記第2の材料層上に高電気伝導金属よりなる第3の材料層が更に積層されてなる特許請求の範囲第1項記載の半導体装置。
3. 前記第1の材料がシリコン又はシリコン—ゲルマニウム合金なることを特徴とする特許請求の範囲第1項又は第2項記載の半導体装置。
4. 前記高融点金属はチタン、モリブデン、ジルコニウム、ハフニウム、バナジウム、ニオブ、タンタル、クロミウムおよびタングステンの群から選ばれた少なくとも一者或いはこれらの合金なることを特徴とする特許請求の範囲第

1項～第3項のいずれかに記載の半導体装置。

5. 前記高融点金属セラミックスはその焼結体での値として $80 \mu\Omega\text{-cm}$ 以下の比抵抗を有することを特徴とする特許請求の範囲第1項～第3項のいずれかに記載の半導体装置。
6. 前記高融点金属セラミックスは特許請求の範囲第4項に記載した高融点金属の炭化物、窒化物、珪化物および硼化物の群より選ばれた少なくとも一者なることを特徴とする特許請求の範囲第1項～第3項のいずれかに記載の半導体装置。
7. 前記第3の材料は金、アルミニウム、パラジウムおよび白金の群から選ばれた少なくとも一者なることを特徴とする特許請求の範囲第1項～第6項のいずれかに記載の半導体装置。

発明の詳細な説明

〔発明の利用分野〕

本発明は化合物半導体に対するオーミック電極に関するものである。

〔発明の背景〕

従来のGaAs FET、あるいはこれを基本デバイスとしたGaAs集積回路において、ソース、ドレイン電極はAuGe/Ni/Auの三層構造を用いていた。AuGe合金は共晶点(356℃)以上で液相を生じGaAsと反応する。通常は400℃、3分間、あるいは420℃、30秒間の熱処理を行ないGaAsとの合金化反応を進める。この液相を冷却中に、GaAsと電極界面に生じる再結晶層は界面に高濃度のGeがドーパされた状態になり、 $1 \sim 2 \times 10^{-6} \Omega\text{-cm}$ の低接触抵抗を実現している。しかしこの電極材料の欠点としては次の点があげられる。

例えば400℃で10分間以上保持すると、GaAs中へAuが拡散したり、GaAsとNiとの不均一な界面反応により金属間化合物AuGa、NiAs₂、NiAsが生じる。これらの金属間化合物は高抵抗層となり電極の接触抵抗を劣化させる。また合金化反応により、いわゆるボールアップが生じ電極面の平滑性を損なつた。このため多層配線した集積回路を作製する際、層間絶縁膜の被層

ほとんどなくなる。

本発明はこの原理を用いるものである。GaAs、InP、等のIII-V族化合物半導体に対しSiあるいはSi-Ge合金は浅いドナー単位を形成し、オーム性電極材として好ましいものである。

そして、本発明の電極の構造は次の通り構成する。即ち、半導体基体上に第1層に前述したようにSiあるいはSi-Ge合金を、第2層に高融点金属あるいは高融点金属セラミックス(炭化物、窒化物、硼化物、ケイ化物)を、第3層に高電気伝導度の金属を用いて積層構造を形成する。そして、後述する様に加熱処理を施してオーム性電極が完成する。なお、本明細書において半導体基体なる用語は、単結晶よりなる半導体基板およびこの基板上にたとえばエピタキシャル成長法によつて形成された半導体層を有するものなども当然含むものである。

第1層のSiあるいはSi-Ge合金は周知のスパッタ蒸着、電子ビーム蒸着、クラスティオンビーム蒸着等で形成出来る。

状態が悪くなり電極間の短絡不良を起こした。また第1層のAuGe層は絶縁膜に対する密着性が悪いので、このオーミック電極材料を用いて、絶縁膜上に配線することができず、回路の集積度を増やすことが困難であつた。その他種々の改良案もいまだ十分な特性をもつに至つてはいない。

〔発明の目的〕

本発明の目的は化合物半導体に対するオーミック電極を提供するもので、このオーミック電極は低接触比抵抗を有するものである。同時に電極表面は平滑性が良好である。又SiO₂等の半導体装置で多用される絶縁膜に対しても密着性は良い。

〔発明の概要〕

半導体-金属界面にできるエネルギー障壁φ_bは金属の種類には余り強く依存しない。化合物半導体、たとえばGaAs基板側の界面が高濃度にドーピングしてある時、エネルギー障壁φ_bは低くなるとともにその空乏層幅が十分薄くなりトンネル効果が起こってくる。従つて障壁は事実上なくなり電流を流しても、オーミック電極での電圧降下は

第2層目の高融点金属としてはチタン(Ti)、モリブデン(Mo)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)、ニオブウム(Nb)、タンタル(Ta)、クロミウム(Cr)、タングステン(W)等がその代表的な例である。更に上記の高融点金属を組み合わせた合金も当然用い得る。それを例示すれば、たとえばW-Ti、W-Ta、Nb-V、W-Hf、Mo-Ti、Mo-Zr、Mo-Hf、Mo-V、Mo-Nb、Mo-Ta、Mo-Cr、Mo-W等があげられる。

第2層のこうした高融点金属層は周知のスパッタ蒸着、電子ビーム蒸着、クラスティオンビーム蒸着等で形成出来る。

又、高融点金属セラミックスとしては前記高融点金属の炭化物、窒化物、珪化物、硼化物等があげられる。高融点金属セラミックスとしてはその比抵抗が焼結体での測定値として $80 \mu\Omega\text{-cm}$ 以下のものが好ましい。これらの材料を例示すれば第1表の通りである。これらのうちでは窒化物、

珪化物が加工性の点から用い易い。これら高融点金属セラミックス層はスパッタ蒸着法に依れば良い。

第 1 表

硼化物
TiB ₂ , TiB, ZrB, ZrB ₂ , HfB ₂ , VB, VB ₂ , NbB, NbB ₂ , TaB ₂ , CrB, CrB ₂ , Mo ₂ B, MoB, MoB ₂ , MoB ₅ , W ₂ B ₅
炭化物
TiC, ZrC, HfC, NbC, TaC, Cr ₃ C ₂ , Mo ₂ C, W ₂ C, WC
窒化物
TiN, ZrN, HfN, NbN
珪化物
TiSi, TiSi ₂ , ZrSi, ZrSi ₂ , V ₃ Si, VSi ₂ , NbSi ₂ , TaSi ₂ , Mo ₃ Si, MoSi ₂ , Mo ₅ Si ₂ , WSi ₂ , MoSi, W ₅ Si ₂

第3層の高電気伝導金属としては金(Au)、アルミニウム(Al)、パラジウム(Pd)、白金(Pt)、等がその代表的な例であるが、通常

の配線材料で十分である。一般には $10\mu\Omega\text{-cm}$ 程度の低い比抵抗の金属を用いる。なお、今後示す比抵抗(ρ)の値はバルク値(ただし高融点セラミックスは焼結体の測定値)を示している。これらの層は通常の蒸着又はスパッタ蒸着法によれば良い。

各層の厚さとしては次の如き範囲で選択している。第1層は $200\sim 500\text{\AA}$ 、第2層は $500\text{\AA}\sim 2500\text{\AA}$ 、第3層は配線として十分であれば任意で良い。通常 $2000\text{\AA}\sim 1\mu\text{m}$ までを用いている。

上述の三層構造の積層を化合物半導体上に形成し、これを $600\text{C}\sim 850\text{C}$ の高温で熱処理して、第1層のSiを結晶中に拡散させることにより低接触抵抗のオーミック電極にする。熱処理の雰囲気はH₂, N₂又はArを用い、流速は $1\text{L}/\text{min}\sim 3\text{L}/\text{min}$ 程度となす。特にH₂雰囲気が接触比抵抗を下げるうえで好ましい。

例えば、AuGe/Ni/Au電極の如く 400C でGaAsとの合金化により高ドーピング層をつ

くるという方法を用いていないため、これは高耐熱電極となる。第2層はこの熱処理中に化合物半導体結晶あるいは第1層のSiと第3層の高電気伝導度の金属との反応を阻止するために用いる。なお、第2層が高電気伝導度を示す材料であれば、第3層は必ずしも必要ではない。こうした第2層目の材料は大略比抵抗が $20\mu\Omega\text{-cm}$ 程度もあれば第3層を用いなくても良い。W, Mo, Pd, Pt等がその例である。

[発明の実施例]

以下、GaAs集積回路装置を製造する場合を例として、本発明の実施例を詳述する。

第1図は本発明のGaAs電界効果トランジスタ14を含む集積回路の一断面図である。図の左側はトランジスタ部、右側は配線部を示している。所定のGaAs基板1にSiのイオン打ち込み法によつてソース2、ドレイン3、およびチャネル部4を形成する。このソース2とドレイン3をイオン打ち込み法で形成する際あらかじめゲート電極5、例えばW(タングステン)をマスクとして用

いると自己整合型となる。次いでソース、ドレイン電極6, 7として第1層8にSiを 300\AA 、第2層9にWSi₂(タングステンシリサイド)を 1000\AA 、第3層10にAuを 1000\AA の厚さにスパッタ蒸着法によつて被着する。これを 800C 、水素雰囲気中で30分間熱処理することによつて比抵抗 $10^{-3}\Omega\text{-cm}$ 程度の良好なオーミック特性が得られた。Auは配線抵抗を渡らすために用いられており、WSi₂はそのAuがGaAs基板1あるいは第1層8のSiと直接合金化反応するのを防げる働きをするAuの拡散バリア層である。また第2層9に高抵抗のWSi₂($40\mu\Omega\text{-cm}$)のかわりにPd($9.9\mu\Omega\text{-cm}$)、Pt($9.8\mu\Omega\text{-cm}$)、W($5\mu\Omega\text{-cm}$)等の低抵抗の高融点金属を用いる場合は、必ずしもさらに第3層10に高電気伝導度の金属層Auを用いる必要はない。なお第2層目のWSi₂はCF₄、又はSF₆等を用いた周知のドライエッチングで微細加工可能である。

またこのソース、ドレイン電極6, 7は絶縁膜

SiO₂ 11との密着性が良く、絶縁膜上に配線することが可能である。またこの電極は合金化していないので平滑性が良く、層間絶縁膜SiO₂ 12をはさんで別の配線金属たとえばMo/Au 2層膜13との短絡不良も防ぐことができる。

本例にはWSi₂を用いたが、この他の高融点金属の炭化物、窒化物、硼化物、ケイ化物も同様に有効である。第2表にオーム電極の代表的例を示す。

第 2 表

第 1 層	第 2 層	第 3 層
Si (500Å)	Mo (1500Å)	Al (2000Å)
Si (200Å)	TiN (1500Å)	Au (2000Å)
Si-Ge (80wt%) (500Å)	MoSi ₂ (2000Å)	Al (2000Å)
Si (500Å)	Hf (1500Å)	Al
Si (500Å)	W (3500Å)	なし
Si (500Å)	Ta (1500Å)	Au (2000Å)
Si (200Å)	WC (1500Å)	Au (2000Å)
Si (200Å)	HfB ₂ (1500Å)	Au (2000Å)
Si (200Å)	Mo (3000Å)	なし

物半導体に対して設けることができる。従来の電極の耐熱性が400℃程度であり、本発明は極めて大きな効果を持つている。

更に電極材については合金化を行なっていないので、電極面は平滑に保たれる。

図面の簡単な説明

第1図はGaAs集積回路装置の一断面図である。1…GaAs基板、2…ソース領域、3…ドレイン領域、4…チャネル、5…ゲート電極、6…ソース電極、7…ドレイン電極、8…第1の材料層、9…高融点金属あるいは高融点金属セラミックスの層、10…第3の材料層、11、12…絶縁膜、13…配線金属、14…GaAs電界効果トランジスタ部分。

代理人 弁理士 高橋明夫

InP基板を用いても上述の電極構成を用いて良好なオーミック電極を製作し得た。

なお、第1層としてSi或いはSi-Ge合金を用いるとGaAs、InP等Ⅲ-V族化合物に対してn型オーミック電極となる。

第1層材料としてSi或いはSi-Ge合金を用いる場合、半導体装置の分野で広く用いられているSiO₂膜などの絶縁膜と密着性が極めて良い。

従つて下記の如き技術が良好に実現出来る。

(1) GaAs集積回路のソース、ドレイン電極上に、スパッタSiO₂膜あるいはCVD SiO₂膜等をはさんで配置された別の配線金属との間の短絡を防ぐことができる。

(2) 絶縁膜SiO₂上への安定な上記オーミック電極金属膜の配線が可能なので、集積回路の配線距離の短縮ができるとともに、素子の高集積化が可能になる。

〔発明の効果〕

本発明によつて600℃～700℃の高温に対しても耐え得る高耐熱性のオーミック電極を化合

第 1 図

